

ERROR CORRECTION DECODER AND PORTABLE TELEPHONE USING THE SAME

Patent Number: JP2001053624
 Publication date: 2001-02-23
 Inventor(s): ASADA YUKINORI; ARIYOSHI MASAYUKI; TSUNEHARA
 Applicant(s): HITACHI LTD
 Requested Patent: ☐ JP2001053624
 Application JP19990226083 19990810
 Priority Number(s):
 IPC Classification: H03M13/45; H03M13/27
 EC Classification:
 Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain an error correction decoder in which a circuit scale is small and also which can perform turbo decode that needs small memory capacity by reading/writing data from/to a received signal storing means and a reliability information storing means while performing data rearrangement and using a soft output decoding means repeatedly.

SOLUTION: A received signal is stored in a memory 100 for received signal storage. Then, received data and data obtained by deinterleaving reliability information being the preceding decode results to a soft output decoder 101. Decode results of the decoder 101 are interleaved and subsequently stored as reliability information in a memory 102 for reliability information storage. The last decode results are deinterleaved by repeating it, and subsequently, a deciding device 105 performs hard decision and outputs the last decode results as decode results 107. A controller 103 accesses a memory 104 for interleave pattern storage, reads an interleave pattern in turn and defines it as a write address for the memory 102.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-53624

(P2001-53624A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl.⁷H 0 3 M 13/45
13/27

識別記号

F I

H 0 3 M 13/45
13/27

テーマコード* (参考)

5 J 0 6 5

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平11-226083

(22) 出願日 平成11年8月10日 (1999.8.10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 浅田 幸則

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(72) 発明者 有吉 正行

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

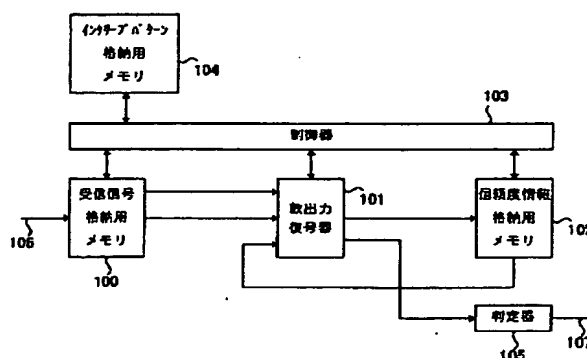
(54) 【発明の名称】 誤り訂正復号器およびこれを用いた携帯電話

(57) 【要約】

【課題】 回路規模が小さい誤り訂正復号回路を提供する。

【解決手段】 受信信号を格納する受信信号記憶手段と、畳込み符号化された符号を復号し復号結果と復号結果の信頼度情報を出力する軟出力復号手段と、該信頼度情報を格納する信頼度情報記憶手段と、データを並び替えるパターンを格納するインタリーブパターン記憶手段と、前記復号結果を硬判定する判定手段と、前記記憶手段のアドレス制御やデータの流を制御する制御手段を有する。

図 2



【特許請求の範囲】

【請求項1】受信信号を格納する受信信号記憶手段と、畳込み符号化された符号を復号し復号結果と復号結果の信頼度情報を出力する軟出力復号手段と、該信頼度情報を格納する信頼度情報記憶手段と、データを並び替えるパターンを格納するインタリーブパターン記憶手段と、前記復号結果を硬判定する判定手段、前記インタリーブパターン記憶手段に記憶されているデータを参照し、前記受信信号記憶手段と前記信頼度情報記憶手段に対してデータの並べ替えを行いつつ読み出し/書き込みを行い、前記軟出力復号手段を繰返し利用し、所定の誤り訂正復号処理を実現するデータの流れを制御する制御手段を備えることを特徴とする誤り訂正復号器。

【請求項2】前記軟出力復号手段を一つだけ備え、復号処理を行うことを特徴とする請求項1記載の誤り訂正復号器。

【請求項3】前記制御手段は、該軟出力復号手段を時分割に使用し、繰返し復号処理を行うことを特徴とする請求項1記載の誤り訂正復号器。

【請求項4】前記制御手段は、前記インタリーブパターン記憶手段のみを用い、前記受信信号記憶手段および前記信頼度情報記憶手段の読み出し/書き込みアドレスとしてインタリーブパターンを参照することを特徴とする請求項1記載の誤り訂正復号器。

【請求項5】前記制御手段は、前記繰返し処理の回数に応じて前記受信信号記憶手段および前記信頼度情報記憶手段へアドレス制御を行うことを特徴とする請求項1記載の誤り訂正復号器。

【請求項6】前記請求項1から4のいずれか1項に記載の誤り訂正復号器を備えることを特徴とする誤り訂正復号器を用いた携帯電話。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディジタルシステムにおける誤り訂正復号器に関するものである。

【0002】

【従来の技術】近年、情報伝送の分野でディジタル化がさかんに進められている。ディジタル信号は通常0と1の2つの記号から作られた信号で伝送され、雑音の影響は、0が1になったり、1が0になる誤りとして表れる。これらの誤りは誤り訂正符号・復号と呼ばれる技術により、回復することが可能である。

【0003】誤り訂正符号・復号の一つに、ターボ符号・復号がある。ターボ符号は、C.Berrouの論文(Near Shannon Limit Error-Correcting Coding and Decoding: TurboCodes(1): Proc.Of ICC'93, pp.1064-1070)により登場し、シャノン限界に迫る符号化方式として注目を浴びている。シャノン限界とは、誤りなしに送信可能な伝送速度の理論上の限界である。

【0004】ターボ符号・復号について図1を用いて説

明する。図1において、1は送信したいデータ、2,4は畳込み符号器、3,14,15はデータの順序を並び替えるインタリーブ、5,6は前記データ1を前記畳込み符号器2,4により符号化したデータ、7は変調器、8は送信器、9,10はアンテナ、11は受信器、12は復調器、13,16は前記畳込み符号化されたデータ5,6を復号する軟出力復号器、17は前記インタリーブ3,14,15により並び替えられたデータを元の順序に並び替えるデインタリーブ、18は前記送信データ1に雑音を加わった受信データ、19,20は前記畳込み符号化されたデータ5,6に雑音を加わった受信データ、21,22は前記軟出力復号器13,16の出力である信頼度情報、23はターボ符号器、24はターボ復号器、25は該ターボ復号器により復号された復号結果である。

【0005】ここで、軟出力復号器13,16は、畳込み符号器2,4に対する復号結果と復号結果の確からしさを示す信頼度情報を出力することを特徴とする。

【0006】ターボ符号器23は、二つの畳込み符号2,4により符号化する。さらに、二番目の畳込み符号器4の前にデータをインタリーブ3によりデータの順序を並び替える。送りたいデータ1と前記畳込み符号器2,4により畳込み符号化されたデータ5,6は変調器7、送信器8を介してアンテナ9から送信される。

【0007】送信されたデータは、アンテナ10により受信し、受信器11、復調器12を介してターボ復号器24により復号する。該ターボ復号器は、前記の畳込み符号器2,4に対する軟出力復号器13,16により送信データ1を推定する。軟出力復号器13,16の出力である信頼度情報21,22を相互にフィードバックしながら所定回数だけ繰返し復号を行うことがターボ復号の特徴である。ただし、前記畳込み符号器4の前段でインタリーブ3によりデータの順序を並び替えるため、ターボ復号器24においても、データの順序を合わせるためインタリーブ14,15およびデインタリーブ17によりデータの順序を並び替える。データの並び替えは、例えばデータを一旦バッファメモリに記憶し、並び替えのパターンを参照して行う。

【0008】

【発明が解決しようとする課題】しかしながら、上記の方法では、軟出力復号器を二つ具備することになる。さらに、ターボ復号では、データの並び替えを頻繁に行うため、メモリ容量が増大する。

【0009】本発明の目的は、上記課題に鑑みてなされたもので、回路規模が小さく、かつメモリ容量も少ないターボ復号を行うことができる誤り訂正復号器を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するため本発明では、二つある軟出力復号器を一つにし、回路規模の低減を図る。また、データの順序を並び替えるインタリーブと順序が並び替えられたデータを元の順序に戻すデインタリーブは、並び替えの順序を記したインタ

リーブパターンのみを用い、該インタリーブパターンを読み出し/書き込みアドレスとして、制御器によるアドレス制御で実現する。

【0011】本発明の誤り訂正復号回路は、受信信号を格納する受信信号記憶手段と、畳込み符号化された符号を復号し復号結果と復号結果の信頼度情報を出力する軟出力復号手段と、該信頼度情報を格納する信頼度情報記憶手段と、データを並び替えるパターンを格納するインタリーブパターン記憶手段と、前記復号結果を硬判定する判定手段と、前記記憶手段のアドレス制御やデータの流れを制御する制御手段を有する。

【0012】

【発明の実施の形態】以下、本発明が適用される第1の実施例について、図2を用いて説明する。

【0013】図2は本発明が適用される誤り訂正復号回路の第1の実施例の概略構成を示すブロック図である。図2において、100は受信信号を格納する受信信号格納用メモリ、101は畳込み符号化された符号を復号し復号結果と復号結果の信頼度情報を出力する軟出力復号器、102は該信頼度情報を格納する信頼度情報格納用メモリ、104はデータを並び替えるパターンを格納するインタリーブパターン格納用メモリ、105は前記復号結果を硬判定する判定器、103は前記記憶手段のアドレス制御やデータの流れを制御する制御器である。

【0014】以下、本実施例のデータの流れについて、図3、図4、図5、図6、図7、図8を用いて説明する。図3は本実施例の符号器を説明する図である。図3において、図1と同等の部分の説明は省略する。図3において、x0は送りたい情報そのもの、x1は送りたいデータを畳込み符号器2により畳込み符号化したデータ、x2は送りたいデータをインタリーブ3により順序の並び替えを行い畳込み符号器4により畳込み符号化したデータである。本実施例では、畳込み符号器を二つ、インタリーブを一つとし、前記データx0、x1、x2を送信データとするが、複数のインタリーブ、複数の畳込み符号器についても同様である。

【0015】図1においては、畳込み符号器2、4に対して軟出力復号器13、16の二つの軟出力復号器を用いているが、本発明では、軟出力復号器を一つだけ用いることが特徴となっている。つまり、図1において1回繰返すということは、本実施例では2回繰返すということになる。該繰返し処理において、本実施例では、初回の繰返し処理(0回目)、奇数回目の繰返し処理(1,3,5,...)、偶数回目(2,4,6,...)の繰返し処理、最終回の繰返し処理の4ステップから成る。

【0016】繰返し処理について、図4を用いて説明する。図4は、本発明における第1の実施例における繰返し処理を説明するフローチャートである。STEP1において復号処理を開始すると、まずSTEP2において初回の復号処理を行う。次に、STEP3で偶数回目の復号処理を

行い、STEP4で奇数回目の復号処理を行う。STEP5において、所定の繰返し回数に達していない場合は、STEP2〜STEP4を所定回数繰返す。所定回数繰返し復号を行った後、STEP6で最終回の復号処理を行い、STEP7において復号処理を終了する。

【0017】以下、各回の繰返し処理を説明する。

【0018】図5は初回の繰返し処理を説明する図である。図5において、図2と同等の部分の説明は省略する。X0、X1、X2は受信信号格納用メモリ100に記録されている送信データx0、x1、x2に対応した受信データ、Lは信頼度情報である。受信データX0、X1、および前回の復号結果である信頼度情報Lをデインタリーブしたデータを軟出力復号器101に入力する。ただし、初回の復号処理であるので、前回の復号結果である信頼度情報Lは0として処理を行う。該軟出力復号器101での復号結果はインタリーブした後、信頼度情報として信頼度情報格納用メモリ102に記憶する。ここで、インタリーブ、デインタリーブを行うのは、送信側でインタリーブを行っているからであり、復号の際データの順序をそろえるためである。

【0019】図6は奇数回目の復号処理を説明する図である。図6において、図5と同等の部分の説明は省略する。受信データX0をインタリーブしたデータ、X2および前回の復号結果である信頼度情報Lを軟出力復号器101に入力する。該軟出力復号器101での復号結果は信頼度情報として信頼度情報格納用メモリ102に記憶する。

【0020】図7は偶数回目の繰返し処理を説明する図である。図7において、図5と同等の部分の説明は省略する。受信データX0、X1、および前回の復号結果である信頼度情報Lをデインタリーブしたデータを軟出力復号器101に入力する。該軟出力復号器101での復号結果はインタリーブした後、信頼度情報として信頼度情報格納用メモリ102に記憶する。

【0021】図8は最終回の繰返し処理を説明する図である。図8において、図5と同等の部分の説明は省略する。受信データX0、X2、および前回の復号結果である信頼度情報Lをデインタリーブしたデータを軟出力復号器101に入力する。該軟出力復号器101での復号結果はデインタリーブした後、判定器105により硬判定し復号結果107として出力する。

【0022】図1のように従来軟出力復号器を二つ使用して復号処理を行っていたのに対し、本発明の実施例によれば、軟出力復号器は一つだけでよく、回路規模を削減できる。

【0023】次に、図5〜図8におけるインタリーブ、デインタリーブについて図9、図10を用いて説明する。

【0024】図9は、図5、図7において信頼度情報格納用メモリ102にデータをインタリーブしながら書き込む場合を説明する図である。ここで、図2と同等の部分の説明は省略する。204はインタリーブする前のデータ、2

00は信頼度情報格納用メモリ102に記憶されたインタリーブした後のデータ、201は信頼度情報格納用メモリ102のアドレス、202はインタリーブパターンメン格納用メモリ104のアドレス、203はインタリーブパターン格納用メモリ104に記憶されたインタリーブパターンである。

【0025】本発明における第1の実施例では、データの並び替えのパターンを表しているインタリーブパターンそのものが、信頼度情報格納用メモリ102の書き込みアドレスとなっている。制御器103は、インタリーブパターン格納用メモリ104にアクセスし、インタリーブパターンを順に読み出す。該インタリーブパターンを前記信頼度情報格納用メモリ102の書き込みアドレスとし、データを該信頼度情報格納用メモリ102に書き込む。該データ200はインタリーブされたデータとなっている。

【0026】図10は、図6、図8において受信信号格納用メモリ100からデータをデインタリーブしながら読み出す場合を説明する図である。ここで、図2と同等の部分の説明は省略する。本実施例では、デインタリーブする際、デインタリーブパターンを参照するのではなく、インタリーブパターンを参照する。本第1の実施例では、データの並び替えのパターンを表しているインタリーブパターンそのものが、信頼度情報格納用メモリ102の読み出しアドレスとなっている。

【0027】該信頼度情報格納用メモリ102からデータをデインタリーブしながら読み出す場合、まず制御器103は、インタリーブパターン格納用メモリ104にアクセスし、インタリーブパターンを順に読み出す。該インタリーブパターンを前記信頼度情報格納用メモリ102の読み出しアドレスとし、データを読み出す。前回の復号処理において前記信頼度情報格納用メモリ102に記憶しているデータはインタリーブの順序で記憶されているので、該データをインタリーブパターンにしたがって読み出すことにより、デインタリーブを実現している。

【0028】以上、本発明における第1の実施例は、軟出力復号器を一つしか使用していないので非常に小型の誤り訂正復号器を提供できる。また、インタリーブ・デインタリーブ処理をインタリーブパターンのみを用い、制御器によるアドレス制御のみで実現するため、メモリ容量も低減することができる。

【0029】次に、本発明における第2の実施例を図11を用いて説明する。図11は、本発明の誤り訂正復号器を具備した携帯電話を説明するブロック図である。

【0030】図11において300はアンテナ、301は高周波の送受信を行うRF部、302はデータの符号化や端末制御を行うベースバンド部、303は通信プロトコルなどの制御を行う制御部、304は音声の圧縮伸長を行う音声CODEC部、305は通信の信号処理を行う信号処理部、306は検波などを行う復調器、307は誤り訂正の復号化を行う誤り訂正復号器、308は送信信号を作成する変調器、309は誤り訂正の符号化を行う誤り訂正符号器である。ま

ず、受信処理について説明する。受信信号はアンテナ300を介して復調器306に送られ検波など復調処理を行う。復調処理を行った後、誤り訂正復号器307により復号処理を行い、復号結果を音声CODEC部304で音声処理を行う。

【0031】次に、送信処理について説明する。音声CODEC部304において音声処理を行った後、誤り訂正符号器により符号化処理を行う。符号化されたデータは、変調器308により変調処理を施され、RF部301を介してアンテナ300から送信される。

【0032】本発明の誤り訂正復号回路は、回路規模とメモリ容量が小型であるため、携帯電話のように消費電力やメモリ容量に制限がある機器に有効である。

【0033】尚上記実施の形態において、実施例2は携帯電話の例であるが、携帯型パソコン等の携帯端末やハードディスクなどの誤り訂正を行うデジタル機器に適用可能である。

【0034】

【発明の効果】以上、本発明における第1の実施例の誤り訂正復号器は、軟出力復号器を一つしか使用していないので非常に小型の誤り訂正復号器を提供できる。また、インタリーブ・デインタリーブ処理をインタリーブパターンのみを用い、制御器によるアドレス制御のみで実現するため、メモリ容量も低減することができる。よって、前記誤り訂正復号器は、携帯電話のように消費電力やメモリ容量に制限がある機器に有効である。

【図面の簡単な説明】

【図1】従来のターボ符号・復号器の概略構成を説明するブロック図である。

【図2】本発明における第1の実施例における誤り訂正復号器の構成を説明するブロック図である。

【図3】本発明における第1の実施例における符号器の構成を説明するブロック図である。

【図4】本発明における第1の実施例における繰返し処理を説明する図である。

【図5】本発明における第1の実施例における初回の繰返し処理を説明するブロック図である。

【図6】本発明における第1の実施例における奇数回目の繰返し処理を説明するブロック図である。

【図7】本発明における第1の実施例における偶数回目の繰返し処理を説明するブロック図である。

【図8】本発明における第1の実施例における最終回の繰返し処理を説明するブロック図である。

【図9】本発明における第1の実施例における書き込み時のインタリーブ処理を説明する図である。

【図10】本発明における第1の実施例における読み出し時のデインタリーブ処理を説明する図である。

【図11】本発明における第2の実施例における携帯電話を説明する図である。

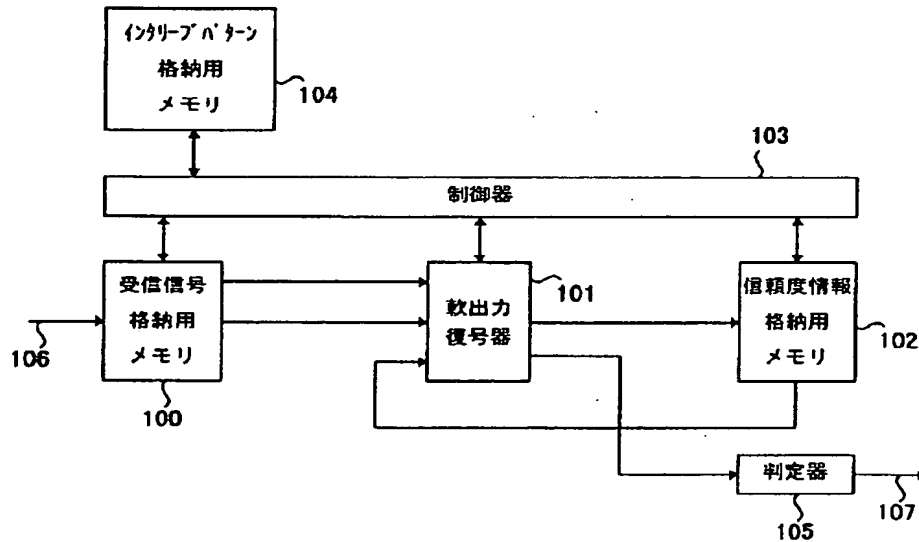
【符号の説明】

1…送信データ、2、4…畳込み符号器、3、14、15…インタリープ、5、6…畳込み符号化されたデータ、7…変調器、8…送信器、9、10…アンテナ、11…受信器、12、…復調器、13、16…軟出力復号器、17…デインタリープ、18…送信データ1に対応する受信データ、19…畳込み符号化したデータ5に対応する受信データ、20…畳込み符号化したデータ6に対応する受信データ、21、22…信頼度情報、23…ターボ符号器、24…ターボ復号器、25…復号結果、100…受信信号格納用メモリ、101…軟出力復号器、102…信頼度情報格納用メモリ、103…制御器、104…インタリープパターン格納用メモリ、105…判定器、1

06…受信データ、107…復号結果、200…信頼度情報格納用メモリ102に記憶されているデータ、201…信頼度情報格納用メモリ102のアドレス、202…インタリープパターン格納用メモリ104のアドレス、203…インタリープパターン格納用メモリ104に記憶されているインタリープパターン、204…インタリープする前のデータ、205…インタリープした後のデータ、300…アンテナ、301…RF部、302…ベースバンド部、303…制御部、304…音声CODEC部、305…通信信号処理部、306…復調器、307…誤り訂正復号器、308…変調器、309…誤り訂正符号器。

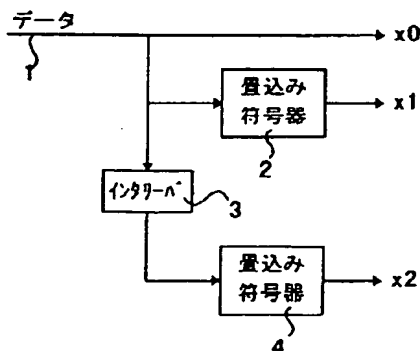
【図2】

図 2



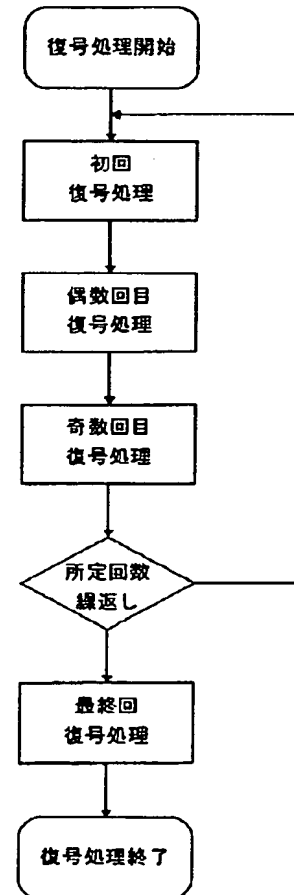
【図3】

図 3



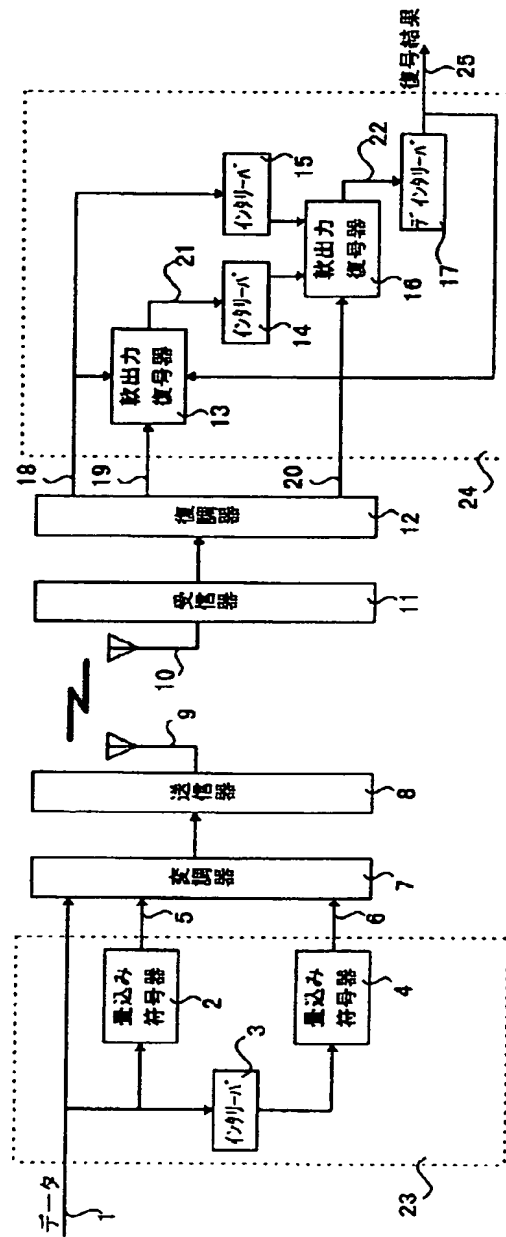
【図4】

図 4



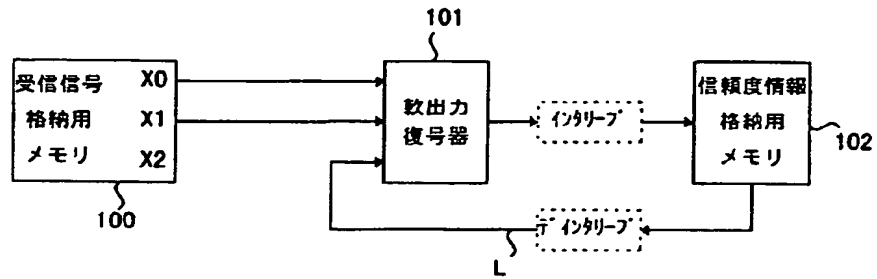
【図1】

図 1



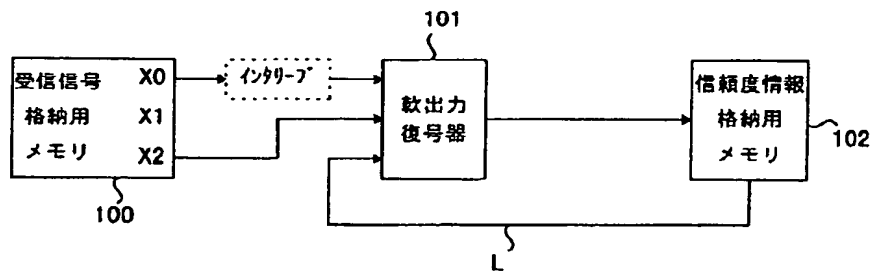
【図5】

図 5



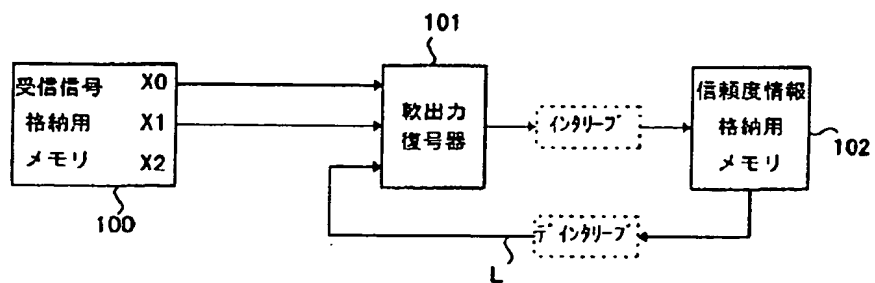
【図6】

図 6



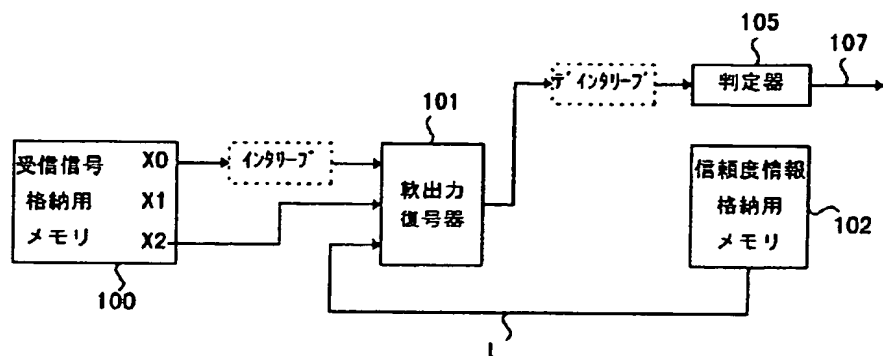
【図7】

図 7



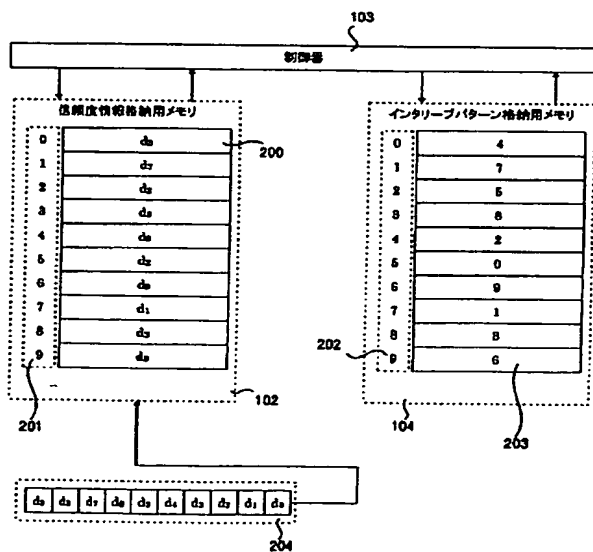
【図8】

図 8



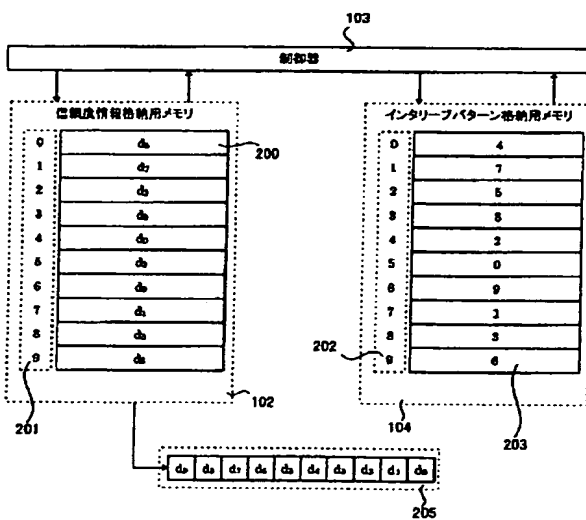
【図9】

図 9



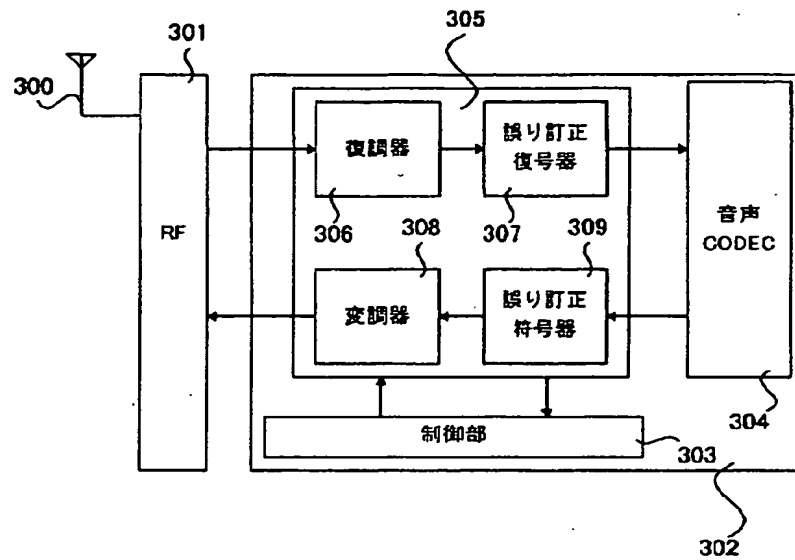
【図10】

図 10



【図11】

図 11



フロントページの続き

(72)発明者 恒原 克彦
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5J065 AA03 AB01 AC02 AD10 AF03
AG06 AH06 AH21